

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002246901 A**

(43) Date of publication of application: 30.08.02

(51) Int. Cl.

H03L 7/089
G11B 20/14
H03L 7/087
// G11B 7/0045

(21) Application number: **2001038193**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: 15.02.01

(72) Inventor: **KIYOSE MASASHI**

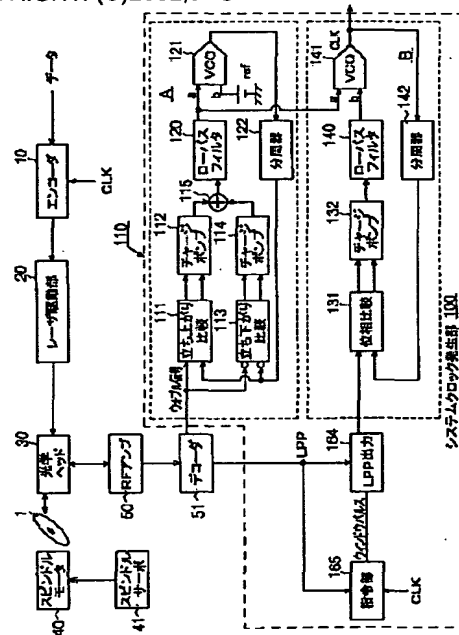
(54) PHASE COMPARATOR

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a phase comparator which is capable of accurately comparing two signals with each other on phase and frequency, even if the signals vary in a duty ratio, when two signals are compared with each other for their phase and frequency.

SOLUTION: A VCO 121 is controlled, so as to oscillate clock signals whose frequency is synchronized with that of wobbling signals. A rise comparator 111 compares the sub-harmonic clock signals of the clock signals oscillated by the VCO 121 with the wobbling signals, and signals corresponding to the above comparison result are outputted from a charging pump 112, while a fall comparator 113 compares the trailing edge of the subharmonic clock signal with that of the wobbling signal pulse, and signals, corresponding to the above comparison result, are outputted from a charging pump 114. The signals outputted from the charging pumps 112 and 114 are smoothed into DC voltage signals by a low-pass filter 120, the DC voltage signals are applied to the VCO 121.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-246901

(P2002-246901A)

(43)公開日 平成14年8月30日(2002.8.30)

(51)Int.Cl.	識別記号	F I	テマコード*(参考)
H 0 3 L 7/089		G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
G 1 1 B 20/14	3 5 1	7/0045	D 5 D 0 9 0
H 0 3 L 7/087		H 0 3 L 7/08	D 5 J 1 0 6
// G 1 1 B 7/0045			P

審査請求 未請求 請求項の数 4 OL (全 10 頁)

(21)出願番号	特願2001-38193(P2001-38193)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成13年2月15日(2001.2.15)	(72)発明者	清瀬 雅司 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(74)代理人	100111383 弁理士 芝野 正雅

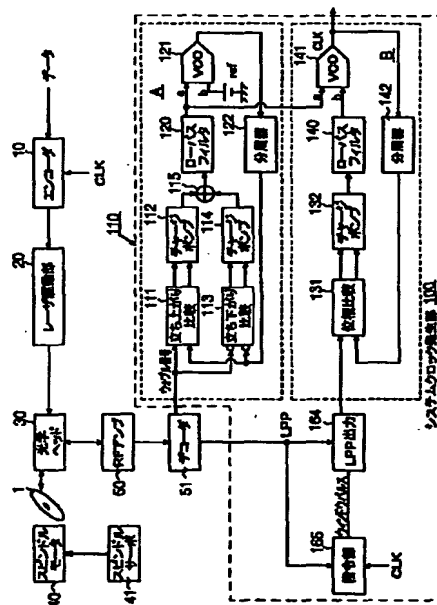
最終頁に続く

(54) 【発明の名称】 位相比較器

(57)【要約】

【課題】2つの信号の位相及び周波数の比較に際し、その信号のデューティ比が変化する場合であれ、それら信号の位相及び周波数比較を的確に行うことのできる比較器を提供する。

【解決手段】VCO121では、ウォブル信号に周波数同期したクロックを発振するよう制御される。立ち上がり比較部111では、このVCO121の発振するクロックの分周クロックとウォブル信号とが比較され、この比較結果に応じた信号がチャージポンプ112から出力される。一方、立ち下がり比較部113には、同信号のパルスの立ち下がり比較され、この比較結果に応じた信号がチャージポンプ114から出力される。これらチャージポンプ112及び114の出力信号がローパスフィルタ120によって平滑化された直流電圧信号が、VCO121に印加される。



【特許請求の範囲】

【請求項1】2つのパルス信号の立ち上がりタイミングの差に応じた第1の信号を出力する立ち上がり比較部と、
前記2つのパルス信号の立ち下がりタイミングの差に応じた第2の信号を出力する立ち下がり比較部とを備え、
前記第1及び第2の信号に基づいて前記2つのパルス信号の各パルスの中心の位相差を検出する位相比較器。

【請求項2】前記立ち上がり比較部は、前記2つのパルス信号の一方が立ち上がってから他方が立ち上がるまでの期間、先行して立ち上がったパルスが何れであるかに応じて互いに異なる電位レベルの信号を出力するものであり、

前記立ち下がり比較部は、前記2つのパルス信号の一方が立ち下がってから他方が立ち下がるまでの期間、先行して立ち下がったパルスが何れであるかに応じて互いに異なる電位レベルの信号を出力する請求項1記載の位相比較器。

【請求項3】前記立ち上がり比較部は、前記2つのパルス信号の一方が立ち上がってから他方が立ち上がるまでの期間、前記2つのパルス信号の立ち上がりタイミングの差に応じて第1の指令信号を出力する第1の比較回路と、前記第1の指令信号に応じて、前記第1の信号を出力する第1のチャージポンプと、
を備えて構成され、

前記立ち下がり比較部は、前記立ち上がり比較部に入力される2つのパルス信号の反転信号を出力するインバータと、前記反転信号の一方が立ち下がってから他方が立ち下がるまでの期間、これら2つの反転信号の立ち下がりタイミングの差に応じて、第2の指令信号を出力する第2の比較回路と、前記第2の指令信号に応じて、前記第2の信号を出力する第2のチャージポンプと、を備えて構成される請求項2記載の位相比較器。

【請求項4】当該位相比較器の出力を平滑化するローパスフィルタの入力端と、前記ローパスフィルタの出力する直流電圧によって制御される電圧制御発振器の出力端との間に設けられるとともに、

前記2つのパルス信号として前記電圧制御発振器の発振するクロックと光ディスクに形成されているウォブル信号とが入力される請求項1～3の何れかに記載の位相比較器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばPLL (Phase Locked Loop) 等に用いられる位相比較器に関する。

【0002】

【従来の技術】周知のように、データを記録する記録媒体の1つとして、光ディスクが知られている。こうした光ディスクの中には、記録可能な媒体も存在する。そし

て、この記録可能な光ディスクには、通常、案内溝として機能するブリググループが螺旋状に形成されている。このブリググループは同螺旋に対して蛇行(ウォブル)する成分を有し、このウォブル成分には光ディスク内での位置情報等が含まれている。これにより、光ディスクへのデータの記録時においては、上記ウォブル成分からディスク上の位置情報を再生することで記録位置を把握しつつ、ブリググループに沿ってデータを記録することができるようになる。

【0003】こうした光ディスクへのデータの記録を精度よく行うためには、光ディスクへデータを記録するタイミングを、光ディスクの回転に基づいたものとするのが望ましい。すなわち、再生されるウォブル信号を用いてデータの記録動作を行うなどすることで、光ディスク上に記録される1ビットのデータが同光ディスク内にしめる量を一定にすることができる。

【0004】こうした光ディスクに形成されているウォブル信号に同期したクロックを生成するために、従来よりPLLがよく用いられている。すなわち、電圧制御発振器を通じて発振制御されるクロックと再生されるウォブル信号とを位相比較器で比較し、これら2つの信号の周波数及び位相差に応じた電圧を電圧制御発振器にフィードバックすることで、同電圧制御発振器から発振出力される信号をウォブル信号に同期したものとすることができる。

【0005】

【発明が解決しようとする課題】このようにPLLを用いることで光ディスクの回転に同期したクロックを生成することができるとはいえ、ウォブル信号の再生状態が良好でなく、そのデューティ比が変化することがある。このように、再生されるウォブル信号のデューティ比が変化すると、上述した電圧制御発振器を通じて発振制御されるクロックとこのウォブル信号との比較に際し、このデューティ比の変化の影響を取り込むこととなる。このため、同電圧制御発振器を通じて発振制御されるクロックがこのデューティ比の変化の影響を受けるおそれがある。

【0006】なお、上記光ディスクのデータ記録装置におけるクロック発生器に限らず、互いにその周波数及び位相が比較される信号のデューティ比が何らかの理由で変化する場合にも、こうした実情は概ね共通したものとなっている。

【0007】本発明は上記実情に鑑みてなされたものであり、その目的は、2つの信号の位相及び周波数の比較に際し、その信号のデューティ比が変化する場合であれ、それら信号の位相及び周波数比較を的確に行うことのできる比較器を提供することにある。

【0008】

【課題を解決するための手段】この発明は、2つのパルス信号の立ち上がりタイミングの差に応じた第1の信号

を出力する立ち上がり比較部と、前記2つのパルス信号の立ち下がりタイミングの差に応じた第2の信号を出力する立ち下がり比較部とを備え、前記第1及び第2の信号に基づいて前記2つのパルス信号の各パルスの中心の位相差を検出することで、これらパルス信号のデューティ比が変化する場合であれ、それら信号の位相及び周波数比較を的確に行うことを可能とするものである。

【0009】

【発明の実施の形態】以下、本発明にかかる比較器をDVD-R (Digital Versatile Disc Recordable) のデータ記録装置に備えられたシステムクロック内に適用される一実施形態について、図面を参照しつつ説明する。

【0010】図1は、上記データ記録装置の全体構成を示すブロック図である。

【0011】このデータ記録装置の記録媒体となる光ディスク1は、データを書き込む（記録する）ことが可能な光ディスクであるDVD-Rディスクである。この光ディスク1には、光ディスク1内の案内溝として機能するブリググループが螺旋状に形成されているとともに、螺旋状に形成されたブリググループに近接してランドプリビット（以下、LPP）が形成されている。

【0012】このうち、上記ブリググループは、光ディスク1上を蛇行しつつ形成されている。この蛇行（ウォブル）成分の有する信号は、「140.6kHz」の周波数を有し、このウォブル信号には、絶対時間やディスクの仕様等の情報が含まれている。これにより、光ディスク1へのデータの記録時には、この絶対時間情報を読み出すことで、光ディスク1上での位置を把握しつつデータの記録を行うことが可能となる。

【0013】また、上記LPPは、光ディスク1に螺旋状に形成されている各ブリググループに沿って所定の間隔で形成されている。この間隔は、上記ウォブル信号の約16パルスに1パルスの割合の信号が得られる間隔に設定されている。このLPPの再生に基づいて得られる信号がLPP信号である。

【0014】一方、この光ディスク1を対象とした上記データ記録装置は、外部から入力されたデータを所定のフォーマットにエンコードするエンコーダ10、同エンコーダ10でエンコードされたデータに対応したレーザを出力するための駆動信号を生成するレーザ駆動部20、同駆動信号に基づいて光ディスク1にレーザを照射する光学ヘッド30を備えている。

【0015】ここで、光学ヘッド30は、記録時のデータに応じてそれぞれ高出力レーザ及び低出力レーザを光ディスク1に形成された上記ブリググループの中心（記録層）に選択的に照射する1本のレーザ源と、同ブリググループの両端に低出力のレーザを照射する再生専用の2本のレーザ源とを備えている。そして、記録時には、これら3本のレーザ源のうち、出力の切替可能な1本のレーザ源によって、記録を所望するデータに応じて上記レー

ザ駆動部20によって生成される駆動信号に基づいたレーザが照射される。

【0016】更に、光学ヘッド30は、これらレーザの光ディスク1上での反射光を受光する受光部を備えている。これら受光部は、上記切替可能なレーザ源からブリググループの中心に照射されたレーザの反射光を受光する素子と、上記2本の再生専用のレーザの反射光を受光する素子とからなる。そして、2本の再生専用のレーザの反射光を受光する素子では、ブリググループの両端から反射されるレーザが受光され、これに基づいて上記ウォブル信号やLPP信号が検出される。

【0017】また、上記データ記録装置は、光ディスク1を回転させるスピンドルモータ40や、同スピンドルモータ40を線速度一定に制御するスピンドルサーボ41を備えている。このスピンドルサーボ41によるスピンドルモータ40の線速度一定制御は、例えば、光ディスク1上に形成されている上記ウォブル信号に基づいて行われる。

【0018】こうしたウォブル信号等、光ディスク1上に予め記録されている情報を読み出すべく、上記データ記録装置は、光学ヘッド30において受光された反射光から2値のデジタル信号を生成するRFアンプ50や、同RFアンプ50において生成されたデジタル信号をデコードするデコーダ51を備えている。そして、このデコーダ51においてデコードされたウォブル信号に基づいてスピンドルサーボ41では、スピンドルモータ40を線速度一定にて制御する。

【0019】また、光ディスク1の回転の微妙な変化等に追従してデータの記録を行うために、上記データ記録装置では、上記エンコーダ10からレーザ駆動部20へのデータの出力動作等のタイミングをとるために用いるシステムクロックを、上記LPP信号に同期したものにしている。詳しくは、LPP信号の周波数を分周比「1/5952」で分周することで、各LPP信号のパルス間に、5952のパルスを有するシステムクロックを生成する。これにより、システムクロックは、「52.32MHz」の周波数を有する信号となる。

【0020】ただし、LPP信号は、ウォブル信号の約16パルスに1パルスの割合で得られるものであるため、その頻度が低く、このLPP信号に同期したシステムクロックを生成することは困難なものとなる。更には、データ記録時において光ディスク1に形成されているLPPが欠落することがある。このため、上記ウォブル信号の約16パルスに1パルスの割合で定期的に上記LPP信号が得られるわけではなく、同LPP信号に同期したクロックを生成することはいっそう困難なものとなる。

【0021】そこで、上記データ記録装置では、システムクロックの生成を次の2段階で行う。すなわち、システムクロックを、ウォブル信号とほぼ周波数同期させた

後、LPP信号に基づいて同クロックの位相調整を行う。このように、ウォブル信号に基づいて大きく同期をとった後に、LPP信号に基づいて微調整を行うことで、システムクロックを光ディスク1の回転を正確に反映したクロックとすることができる。

【0022】図2に、これらウォブル信号及びLPP信号の関係について模式的に示す。同図2に示されるように、上記光ディスク1からレーザによって読み取られたウォブル信号及びLPP信号(図2(a))は、上記RFアンプ50にて2値化される(図2(b)及び図2(c))。これらウォブル2値化信号とLPP2値化信号とのパルスの中心は、互いにそろわず、微妙にずれたものとなることがある(図2(d))。したがって、システムクロックをウォブル信号の周波数帯域へと制御した後、LPP信号に基づいて微調整をすることで、LPP信号に同期したシステムクロックを生成するようにする。

【0023】こうした制御を行うべく、上記データ記録装置は、ウォブル信号と周波数同期したクロックを生成する第1のPLL部Aと、LPP信号と位相同期したクロックを生成する第2のPLL部Bとの2つのPLL部を備える。そして、ウォブル信号と周波数同期したクロックを生成する第1のPLL部Aにおいて用いられる電圧制御発振器(以下、VCO)の制御電圧は、LPP信号と位相同期したクロックを生成する第2のPLL部Bにおいて用いられるVCOの制御電圧としても用いられる。詳しくは、この第2のPLL部Bにおいて用いられるVCOの制御電圧として、自身の発振するクロックとLPP信号との位相差に基づく信号と、上記第1のPLL部Aにおける制御電圧信号とが用いられる。

【0024】ここで、これら2つのPLLを備えるシステムクロック発生部100について説明する。

【0025】このシステムクロック発生部100において、上記ウォブル信号と周波数同期したクロックを生成する第1のPLL部Aでは、次のような信号処理がなされる。すなわち、VCO121によって発振制御されるクロックは、分周器122にてその周波数が分周される。この分周器122にて分周された分周クロックとウォブル信号との周波数及び位相が比較部110において比較される。そして、同比較部110の比較結果に基づく信号がローパスフィルタ120にて平滑化された後、制御電圧としてVCO121に印加される。こうしてVCO121の出力信号がウォブル信号に周波数同期するよう制御される。なお、この分周器122の分周比は「1/372」であり、これにより、VCO132の出力信号は、「52.32MHz」に制御される。

【0026】次に、LPP信号と位相同期したクロックを生成する第2のPLL部Bでなされる信号処理について説明する。

【0027】この第2のPLL部Bは、自身の発振する

クロック及びLPP信号の位相差に基づく信号と上記第1のPLL部Aにおける制御電圧とに基づいて制御されるVCOとして、これらが各別に入力される2つの入力端子を備えたVCO141を備える。そして、このVCO141に上記第1のPLL部Aにおける制御電圧が印加されることで、同VCO141の発振する信号の周波数がウォブル信号の周波数帯域に制御される。更に、VCO141の発振するクロックとLPP信号との位相差に基づく信号が同VCO141に印加されることで、VCO141の出力信号がLPP信号に同期したものに制御される。

【0028】更に、本実施形態では、LPP信号が検出されるであろう時期を予測することで、ノイズをLPP信号と誤検出することによるフィードバック制御への影響を回避する。

【0029】上記態様にてフィードバック制御を行うべく、図1に示されるように、デコーダ51からシステムクロック発生部100に入力されるLPP信号とノイズとを区別する処理がなされる。これに関しては、指令部165において、記録開始時にLPP信号がはじめて検出された時が記憶されるとともに、例えばシステムクロック発生部100の出力するシステムクロックをカウントするなどして、LPP信号が検出されてから次のLPP信号が検出されるまでの期間を推定する。こうして、LPP信号が検出されるであろう時期に同期して所定周期毎にウィンドウパルスが出力される。このウィンドウパルスのパルス幅は、LPP信号が検出される可能性のある時期をカバーする時間幅を有している。一方、LPP出力部164では、このウィンドウパルスの入力されている期間において、LPP信号が検出されたときのみ同LPP信号が出力される。これによりノイズをLPP信号と誤検出することを回避することができるようになる。

【0030】こうしてLPP出力部164から出力されたLPP信号と、VCO141の発振するクロックの周波数が分周器142で分周された信号とが位相比較部131にて比較される。この比較結果に基づく信号は、チャージポンプ132にて所定の出力レベルに変換された後、ローパスフィルタ140で平滑化される。このローパスフィルタ140の出力する制御電圧信号と上記VCO121の制御電圧信号とによって、VCO141が制御される。

【0031】上記分周器142の分周比は「1/5952」であり、これにより、VCO141の出力するクロックの周波数が、上記VCO121の周波数同様、「52.32MHz」に制御される。

【0032】正確には、上記分周器142を介してVCO141から位相比較部131に入力されるパルスの立ち上がり、位相比較部131に入力されるLPP信号のパルスの中心と一致するように制御される。ちなみ

に、このような制御を行うためのLPP出力部164や、位相比較部131、チャージポンプ132は、図3に例示されるような構成を有する。

【0033】ここで、先の図1に示した位相比較部131に入力されたウィンドウパルスやLPP信号、更には分周器142から出力される分周クロック、チャージポンプ132の出力の関係を図4に示す。

【0034】すなわち、上記LPP出力部164にウィンドウパルスが入力されていない期間(図4(a))においては、ノイズが混入した(図4(b))としてもこれが位相比較部131に出力されることはない。これに対して、ウィンドウパルス(図4(a))がLPP出力部164に入力されているときに、LPP信号が入力される(図4(b))と、同LPP信号が上記位相比較部131に出力される。これにより、上記チャージポンプ132では、位相比較部131にLPP信号が入力されてから分周クロック(図4(c))のパルスが立ち上がるまでの期間、高電位の信号を出力する(図4(d))。そして、LPP信号のパルスが入力されている期間であって、且つ分周クロックのパルスが立ち上がっている(図4(c))期間、上記チャージポンプ132は低電位の信号を出力する。

【0035】同チャージポンプ132は、ローパスフィルタ140に対するチャージ電流及びディスチャージ電流等しく設定され、分周クロックのエッジがLPP信号のパルスの中央に位置したときにチャージ時間及びディスチャージ時間が等しくなる構成を有する。こうして、チャージポンプ132の出力信号に基づいて、VCO141は、分周器142の分周クロックのパルスの立ち上がりがLPP信号のパルスの中心となるように制御される。

【0036】ここで、本実施形態において用いられる2つの入力端子を備えたVCO141について説明する。

【0037】図5に示されるように、このVCO141は、奇数個のインバータ1Vによって構成されるリングオシレータ141cを備えている。これら各インバータ1Vは、電源VDD及び接地間で給電されるとともに、その給電量がVCO141に入力される2つの制御信号によって制御される。

【0038】詳しくは、入力端子aから入力される制御信号によってpチャネルトランジスタT1a及びnチャネルトランジスタT2aが制御されることで、各インバータ1V及び電源間と各インバータ1V及び接地間との電流が制御される。一方、入力端子bから入力される制御信号によってpチャネルトランジスタT1b及びnチャネルトランジスタT2bが制御されることで、各インバータ1V及び電源間と各インバータ1V及び接地間との電流が制御される。このリングオシレータ141cの発振する信号の周波数は、各インバータ1Vを流れる電流量「Ia+Ib」に比例するため、入力端子a及びb

から入力される信号に基づいてリングオシレータ141cの発振する信号の周波数を調整することができる。

【0039】こうしたリングオシレータ141cの発振する信号の周波数の調整は、実際には、上記入力端子a及びbから入力される制御信号がバイアス回路141a及び141bを介して所定の変換を受けることで行われる。換言すれば、上記トランジスタT1a及びT2aと、トランジスタT1b及びT2bの各ゲート端子に印加される制御電圧は、それぞれバイアス回路141a及び141bにて生成される。これらバイアス回路141a及び141bは同一の回路であり、上記制御信号をレベル変換した後、カレントミラー回路を通じて電圧信号を出力する回路である。

【0040】更に、上記リングオシレータ141cは、これら入力端子a及びbから入力される制御信号のうち、入力端子aから入力される信号によって広帯域制御が、入力端子bから入力される制御信号によって狭帯域制御が行われるように設定されている。これは、電源及びリングオシレータ141c間や、リングオシレータ141c及び接地間において導通制御される電流量を、入力端子aから入力される制御信号によるものの方が入力端子bから入力される制御信号によるものよりも大きくすることで実現できる。具体的には、入力端子aから入力される制御信号によって制御されるトランジスタT1a及びT2aのトランジスタサイズを、入力端子bから入力される制御信号によって制御されるトランジスタT1b及びT2bのサイズよりも大きく設定する。

【0041】ここで、このVCO141の出力特性について、図6を用いて更に説明する。すなわち、図6(a)に示されるように、VCO141の発振する信号の周波数は、入力端子aに入力される制御信号の電圧Vaを可変制御することで大きく変化する。これに対して、図6(b)に示されるように、同VCO141の発振する信号の周波数は、入力端子bに入力される制御信号の電圧Vbを可変制御することで微調整される。

【0042】したがって、同図6に例示されるように、入力端子aに入力される制御信号の電圧レベルをV0に設定してVCOの発振する信号を所望の周波数帯に概ね制御した後、入力端子bに入力される制御信号の電圧レベルVbを可変制御することで、微調整を行うことができる。

【0043】なお、こうした特徴を有するVCO141は、先の図1に示したように、広帯域制御を行う信号の入力される入力端子aにウォブル信号に同期させるための制御信号が、また、狭帯域制御を行う信号の入力される入力端子bにLPPに同期させるための制御信号が、それぞれ入力される。これにより、ウォブル信号の周波数帯への制御を迅速に行うことができ、且つLPP信号に基づいた微調整を的確に行うことができる。

【0044】そして、ウォブル信号に周波数同期したク

ロックを生成する第1のPLL部Aにおいて用いられるVCO121として、上記VCO141と同一のものをを用いる。これにより、VCO141の出力信号がウォブル信号に同期したときの同VCO121の制御信号を用いて、VCO141の出力をウォブル信号に同期させることが可能となる。なお、VCO121の入力端子bは、一定の基準電圧にて常時給電された状態としておく。

【0045】ところで、先の図2に示したように、ウォブル信号は、そのデューティ比が変化する。このため、上記第1のPLL部Aの生成するクロックとウォブル信号との位相差及び周波数差に基づいて制御されるVCO121は、このデューティ比の変化の影響を受けるおそれがある。このようにデューティ比の変化する信号に基づいて第1のPLL部Aにおける制御が行なわれると、第1のPLL部Aのロックが外れやすく、これに伴い、システムクロック発生部100から安定したシステムクロックCLKが出力されないおそれがある。

【0046】そこで、本実施形態では、上記第1のPLL部Aで生成されるクロック及びウォブル信号の両パルスの立ち上がり及び立ち下りをそれぞれ比較し、この比較結果に基づいて上記第1のPLL部Aで生成されるクロックとの位相周波数比較を行う。すなわち、ウォブル信号は、先の図2(d)に示したように、そのパルス幅Whやデューティ比が変化するにもかかわらず、各パルスの中心間の周期Twや位相が保持される。したがって、このパルス中心の周期Tw及び位相と、VCOの生成するクロックのパルス中心の周期Tw及び位相とに基づいて同VCOを制御することで、パルス幅Whやデューティ比の変化の影響を回避することができる。

【0047】上記態様にてパルスの中心を比較する比較部110では、立ち上がり比較部111及び立ち下がり比較部113において、上記立ち上がり及び立ち下がり比較部113に比べて、これら比較結果に基づく指令信号が、チャージポンプ112及びチャージポンプ114にて所定の出力に変換される。これら出力の変換された検出信号は、加算器115で合成されて、ローパスフィルタ120へと出力される。

【0048】ここで、立ち上がり比較部111及びチャージポンプ112は、例えば図7に例示されるような回路構成を有する。図7に示されるように、チャージポンプ112は、ウォブル信号の立ち上がりタイミングがVCO出力信号の立ち上がりタイミングよりも早い場合に高電位の信号を出力し(チャージ動作)、VCO出力信号の立ち上がりタイミングがウォブル信号の立ち上がりタイミングよりも早い場合に低電位の信号を出力する(ディスチャージ動作)出力部112aを備えている。そして、この出力部112aの出力は、バイアス回路112bによって調整される。なお、このチャージポンプにおいて、ローパスフィルタ120に対するチャージ電

流及びディスチャージ電流は等しく設定される。

【0049】一方、立ち上がり比較部111では、上記入力されるウォブル信号及びVCO出力信号のパルスのいずれか一方が立ち上がってから他方が立ち上がるまでの期間、チャージポンプ112を介して所定の出力信号を出力するための制御を行う。まず、ウォブル信号及びVCOの出力信号(実際には、その周波数が分周された信号)はそれぞれ別のフリップフロップ(F/F)に入力される。そして、これらフリップフロップが入力信号の立ち上がりに同期して「H」レベル信号を出力することで、立ち上がりを検出する。また、2つのフリップフロップに入力される信号が両方とも立ち上がったときに、これら2つのフリップフロップをリセットすることで、チャージポンプ112による上記信号の出力を中断する。

【0050】なお、先の図1に示した立ち下がり比較部113及びチャージポンプ114は、上記立ち上がり比較部111及びチャージポンプ112とそれぞれ同一の構成を有している。そして、図1に示されるように、立ち下がり比較部113には、立ち上がり比較部111に入力される信号がインバータを介して反転されて入力されることで、立ち下がり検出される。

【0051】図8に、立ち上がり比較部111及び立ち下がり比較部113に入力される信号と、加算器115からローパスフィルタ120への出力信号との関係を示す。図8に示されるように、VCO出力の立ち上がり及び立ち下がり(図8(b))とウォブル信号との各パルスの立ち上がり及び立ち下がりとは等しい場合(図8(a)のβ)には、これら各信号の入力に伴う上記加算器115からの出力はほぼ「0」となる。

【0052】これに対して、VCO出力のパルス幅よりもウォブル信号のパルス幅が狭まった場合(図8(a)のα)には、VCOの出力するパルスの立ち上がりからウォブル信号のパルスが立ち上がるまでの期間、上記加算器115から低電位の信号が出力される(ディスチャージ動作がなされる)(図8(c)のα)。また、ウォブル信号のパルスの立ち下がりからVCOの出力するパルスの立ち下がりまでの期間、上記加算器130から高電位の信号が出力される(チャージ動作がなされる)(図8(c)のα)。

【0053】一方、VCO出力のパルス幅よりもウォブル信号のパルス幅が広がった場合(図8(a)のγ)には、ウォブル信号のパルスの立ち上がりからVCOの出力するパルスの立ち上がるまでの期間、上記加算器115から高電位の信号が出力される(チャージ動作がなされる)(図8(c)のγ)。また、VCOの出力するパルスの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間、上記加算器115から低電位の信号が出力される(ディスチャージ動作がなされる)(図8(c)のγ)。

【0054】このように、パルス中心が等しい場合には、チャージ電流及びディスチャージ電流が等しく設定される。したがって、ウォブル信号のパルス及びVCOの出力するパルスの各パルス幅の差異に関係なく、ウォブル信号及びVCO出力信号のパルスの中心が一致するように制御される。

【0055】以上説明した本実施形態によれば、以下の効果が得られるようになる。

【0056】(1)ウォブル信号及びVCO121の発振するクロックの各パルスの立ち上がり及び立ち下りをそれぞれ比較することで、これら両パルスのパルス中心に基づく位相及び周波数比較を行うことができる。

【0057】なお、上記実施形態は以下のように変更して実施してもよい。

【0058】・立ち上がり比較部111及び立ち下がり比較部113、チャージポンプ112、114の構成としては、先の図1及び図7に例示したものに限られない。要は、入力される2つのパルス信号の立ち上がりタイミングの差に応じた信号を出力する比較部と、同2つのパルス信号の立ち下がりタイミングの差に応じた信号を出力する立ち下がり比較部とを備え、これら2つの比較部の出力に基づいてパルス中心を比較する構成であればよい。

【0059】・ウォブル信号に同期したクロックを生成するシステムクロック発生器に、立ち上がり比較部111及び立ち下がり比較部113、チャージポンプ112、114を用いた上記第1のPLL部Aを適用してもよい。これにより、デューティ比の変化の影響を回避しつつウォブル信号に同期したクロックの生成が可能となる。

【0060】・ウォブル信号等、デューティ比の変化し易い信号が再生される光ディスクとしては、DVD-Rにも限られない。CD-R (Compact Disc-Recordable) 等の光ディスク、あるいはMO (Magnet-Optical disk) や、MD (Mini Disc)等の光磁気ディスク(本明細書においては特にことわりのない限りこの光磁気ディスクも含めて光ディスクという)などの任意の光ディスクに予め記録された信号を再生しこの信号を基準信号として周波数同期を行うPLL回路内において、位相周波数比較を行う位相比較器として本発明の適用は有効である。

【0061】・更に、本発明にかかる位相比較器は、光

ディスクのデータ記録装置に備えられるシステムクロック発生部内のPLL回路に適用されるものにも限られない。要は、互いにその周波数及び位相が比較される信号のデューティ比が何らかの理由で変化する場合に、本発明にかかる位相比較器は有効である。

【0062】

【発明の効果】請求項1～3の発明によれば、2つのパルス信号の立ち上がり及び立ち下りを比較することで、これら両パルス信号のパルス中心に基づいて位相及び周波数比較を行うことができる。

【0063】請求項4記載の発明によれば、ウォブル信号のデューティ比が変化する場合であれ、この影響を回避しつつ同ウォブル信号と同期したクロックを生成することができるようになる。

【図面の簡単な説明】

【図1】本発明にかかる位相比較器を光ディスクのデータ記録装置に適用した一実施形態について、同データ記録装置の全体構成を示すブロック図。

【図2】ウォブル信号及びLPP信号の特性を示す図。

【図3】同データ記録装置におけるLPP信号に位相同期したクロックを生成するPLLの一部の構成を例示する回路図。

【図4】同LPP信号に位相同期するクロックを生成するPLLの制御態様を示すタイムチャート。

【図5】同データ記録装置におけるVCOの構成を示す回路図。

【図6】同VCOの出力特性を示す図。

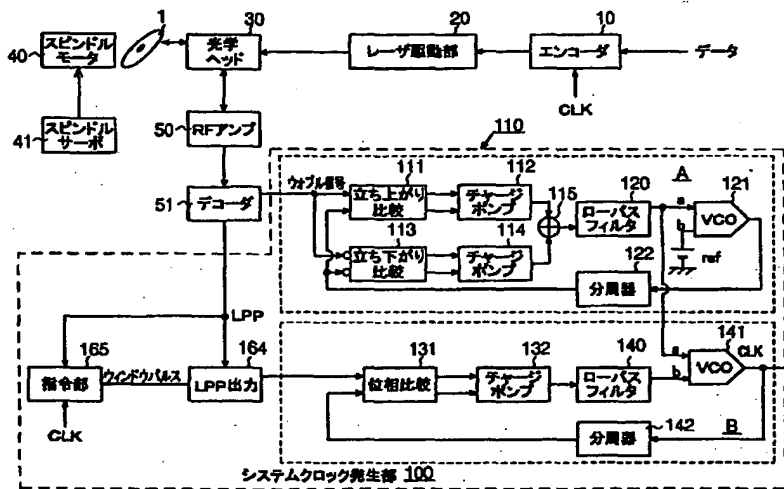
【図7】同データ記録装置における立ち上がり比較部及びチャージポンプの構成を例示する回路図。

【図8】同データ記録装置におけるウォブル信号と周波数同期したクロックを生成するPLLの制御態様を示すタイムチャート。

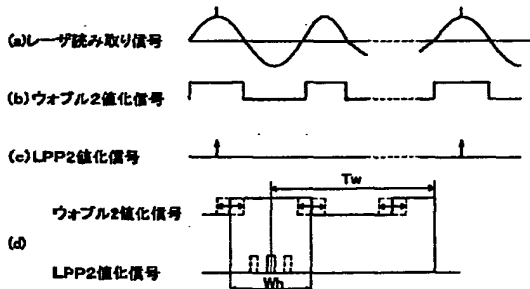
【符号の説明】

1…光ディスク、10…エンコーダ、20…レーザ駆動部、30…光学ヘッド、40…スピンドルモータ、41…スピンドルサーボ、50…RFアンプ、51…デコーダ、100…システムクロック、111…立ち上がり比較部、113…立ち下がり比較部、112、114、132…チャージポンプ、115…加算器、120、140…ローパスフィルタ、131…位相比較部、122、142…分周器、121、141…VCO。

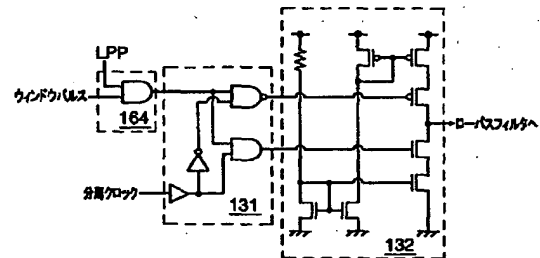
【図1】



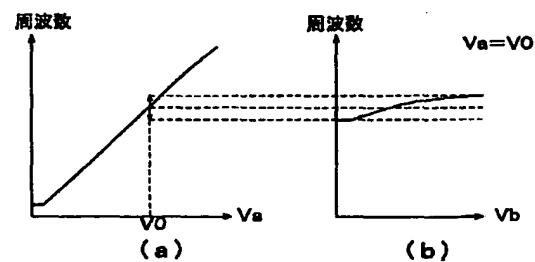
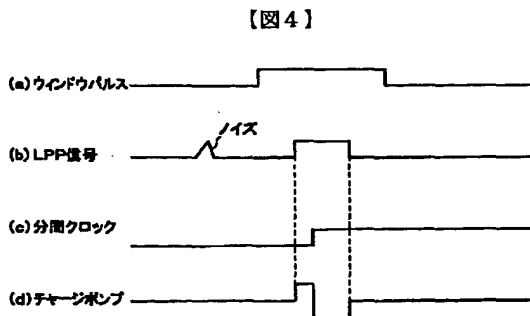
【図2】



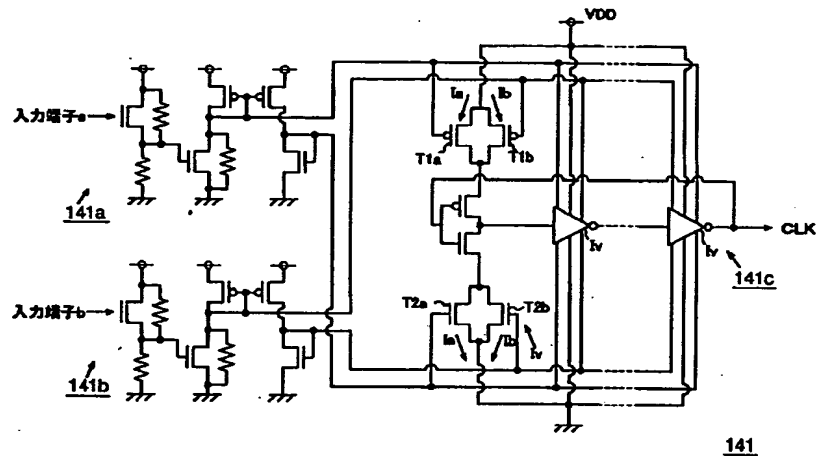
【図3】



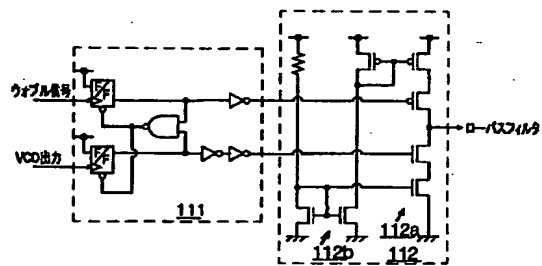
【図6】



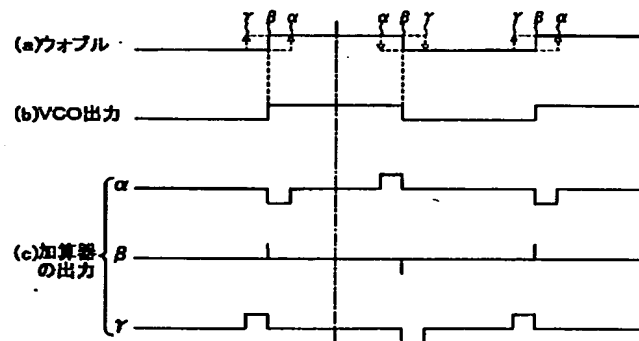
【图5】



【图7】



【圖 8】



フロントページの続き

Fターム(参考) SD044 BC05 CC06 DE32 FG05 GM12
GM16
SD090 AA01 BB03 CC03 DD03 FF07
GG03
5J106 AA04 BB04 CC20 CC24 CC30
CC32 CC34 CC38 CC52 DD13
DD32 FF02 FF05 JJ02 KK12